

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-326106

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

H01L 21/3205

(21)Application number : 05-151143

(71)Applicant : SONY CORP

(22)Date of filing : 28.05.1993

(72)Inventor : KURODA HIDEAKI
ONO KEIICHI

(30)Priority

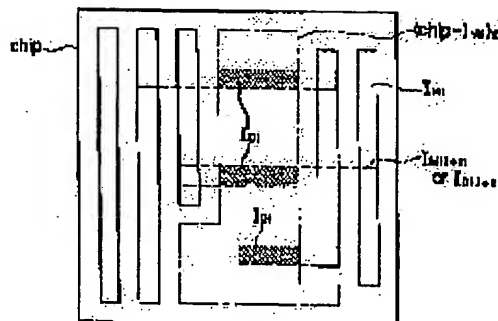
Priority number : 05 85639 Priority date : 18.03.1993 Priority country : JP

(54) METHOD OF FORMING DUMMY PATTERN

(57)Abstract:

PURPOSE: To provide the formation method, of a dummy pattern, wherein the problem of a cross talk between wirings due to an increase in the capacitance between the wirings is solved, absolute differences in level of a device are made uniform and the flatness on the surface of the device can be enhanced.

CONSTITUTION: In a device which is provided with a multilayer Al interconnection structure, data on a region in which a dummy pattern is to be defined is designated as Chip, data on a region in which an interconnection pattern for an i-layer Al inter-connection is designated as IMi, data on a dummy pattern for an i-layer to be found finally is designated as IDi, data on a dummy pattern region obtained by a data decrement is defined as (Chip-IMi)D, and the logical product of the data (Chip-IMi)D on the dummy pattern region and interconnection pattern data IM(i+1) for an (i+1) layer or dummy pattern data ID(i+1) is found. Thereby, the dummy pattern data IDi is generated, and a dummy pattern for the i-layer is formed on the basis of the dummy pattern data IDi.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326106

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205		7514-4M	H 0 1 L 21/ 88	S
		7514-4M		B
		7514-4M		K

審査請求 未請求 請求項の数10 F D (全 14 頁)

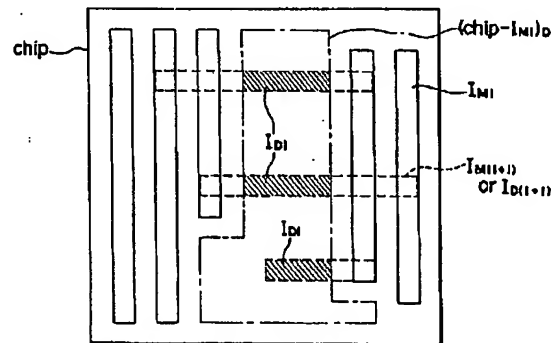
(21) 出願番号	特願平5-151143	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成5年(1993)5月28日	(72) 発明者	黒田 英明 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平5-85639	(72) 発明者	大野 圭一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平5(1993)3月18日	(74) 代理人	弁理士 船橋 國則
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 ダミーパターンの形成方法

(57) 【要約】

【目的】 配線間容量の増大による配線間のクロストークの問題を解決しつつデバイスの絶対段差を揃え、デバイス表面の平坦度の向上を可能としたダミーパターンの形成方法を提供する。

【構成】 多層A1配線構造を有するデバイスにおいて、ダミーパターンを定義すべき領域のデータをChip、1層A1配線の配線パターンの占める領域のデータを I_{w1} 、最終的に求めるべきi層のダミーパターンデータを I_{di} とし、データデクリメントによって得られるダミーパターン領域のデータを $(Chip - I_{w1})_0$ と定義し、このダミーパターン領域データ $(Chip - I_{w1})_0$ と $(i+1)$ 層の配線パターンデータ $I_{w(i+1)}$ 又はダミーパターンデータ $I_{d(i+1)}$ との論理積をとることによってダミーパターンデータ I_{di} を生成し、このダミーパターンデータ I_{di} に基づいてi層のダミーパターンを形成する。



第1実施例の平面概念図

(2)

特開平6-326106

1

【特許請求の範囲】

【請求項1】 n 層 (n は2以上の整数) の金属配線構造を有する半導体装置におけるダミーパターンの形成方法であって、

第 i 層 (i は整数で、 $1 \leq i < n$) のダミーパターンを形成するに当り、第 $(i+1)$ 層の配線パターンデータ又はダミーパターンデータを用いて第 i 層のダミーパターンデータを生成し、

この第 i 層のダミーパターンデータに基づいてダミーパターンを形成することを特徴とするダミーパターンの形成方法。

【請求項2】 前記第 i 層の配線パターン又はダミーパターンを、第 $(i+1)$ 層の配線パターン又はダミーパターンが形成される領域よりも広い領域に形成することを特徴とする請求項1記載のダミーパターンの形成方法。

【請求項3】 n 層 (n は2以上の整数) の金属配線構造を有する半導体装置におけるダミーパターンの形成方法であって、

第 i 層 (i は整数で、 $2 \leq i < n$) のダミーパターンを形成するに当り、第 $(i+1)$ 層及び第 $(i-1)$ 層の両配線パターンデータを用いて第 i 層のダミーパターンデータを生成し、

この第 i 層のダミーパターンデータに基づいてダミーパターンを形成することを特徴とするダミーパターンの形成方法。

【請求項4】 前記ダミーパターンデータは、ダミーパターンを定義すべき領域から第 i 層の配線パターン領域を除いたダミーパターン領域のデータと第 $(i+1)$ 層及び第 $(i-1)$ 層の両配線パターンデータとの論理積による第1のデータと、前記ダミーパターン領域から前記第1のデータで定義される領域を除いた領域のデータと第 $(i+1)$ 層の配線パターンデータとの論理積による第2のデータと、前記ダミーパターン領域から前記第1及び第2の各データで定義される領域を除いた領域のデータと第 $(i-1)$ 層の配線パターンデータとの論理積による第3のデータと、前記ダミーパターン領域から前記第1、第2及び第3の各データで定義される領域を除いた領域の第4のデータとの論理和によるデータであることを特徴とする請求項3記載のダミーパターンの形成方法。

【請求項5】 前記ダミーパターンデータは、ダミーパターンを定義すべき領域から第 i 層の配線パターン領域を除いたダミーパターン領域のデータから、このダミーパターン領域のデータと第 $(i+1)$ 層及び第 $(i-1)$ 層の両配線パターンデータとの論理積による第1のデータと、前記ダミーパターン領域から前記第1のデータで定義される領域を除いた領域のデータと第 $(i+1)$ 層の配線パターンデータとの論理積による第2のデータと、前記ダミーパターン領域から前記第1及び第2

2

の各データで定義される領域を除いた領域のデータと第 $(i-1)$ 層の配線パターンデータとの論理積による第3のデータとを差し引いたデータであることを特徴とする請求項3記載のダミーパターンの形成方法。

【請求項6】 n 層 (n は2以上の整数) の金属配線構造を有する半導体装置におけるダミーパターンの形成方法であって、

第1層 (i は整数で、 $1 \leq i \leq n$) のダミーパターンを形成するに当り、複数の多角形の集合からなる島状パターンを2次元配列するパターンデータを用意し、

前記島状パターンデータと第1層の配線パターンデータとの図形データの論理演算によって第1層のダミーパターンデータを生成し、

この第1層のダミーパターンデータに基づいてダミーパターンを形成することを特徴とするダミーパターンの形成方法。

【請求項7】 前記多角形として正方形を用い、その一辺の長さ L を配線パターンのデザインルールを満たす方法としたとき、前記島状パターン間の間隔 S を、 $2L < S$ の関係を満足するように設定したことを特徴とする請求項6記載のダミーパターンの形成方法。

【請求項8】 n 層 (n は2以上の整数) の金属配線構造を有する半導体装置におけるダミーパターンの形成方法であって、

第1層 (i は整数で、 $1 \leq i < n-1$) のダミーパターンを形成するに当り、第 $(i+2)$ 層から第 n 層までの各コンタクト領域データを用いて第 i 層のダミーパターンデータを生成し、

この第1層のダミーパターンデータに基づいてダミーパターンを形成することを特徴とするダミーパターンの形成方法。

【請求項9】 前記ダミーパターンデータは、第 $(i+2)$ 層から第 n 層までの各コンタクト領域データの論理和データで定義される領域に対して第1の一定量だけ拡大した領域を定義する第1のデータから、第1層の配線パターンデータで定義される領域に対して第2の一定量だけ拡大した領域を定義する第2のデータを差し引いて得られる第3のデータで定義される領域に対し、第3の一定量だけ縮小しかつ残存した領域に対して前記第3の一定量だけ拡大した領域を定義する第4のデータであることを特徴とする請求項8記載のダミーパターンの形成方法。

【請求項10】 前記第1の一定量をステッパーの合わせ精度以上に、

前記第2の一定量を配線パターンの最小加工寸法以上若しくは寄生容量を考慮した最小配線パターン間隔以上でかつ平坦化が可能な最大配線パターン間ギャップ以下に、

前記第3の一定量を配線パターンの最小加工寸法の $1/2$ 以上にそれぞれ設定することを特徴とする請求項9記

(3)

特開平6-326106

3

載のダミーパターンの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダミー（疑似）パターンの形成方法に関し、特に多層金属配線構造を有する半導体装置におけるダミーパターンの形成方法に関する。

【0002】

【従来の技術】LSIの高集積化に伴いデバイスの積層化、特に配線パターンの多層化が進んでいる。このため、配線パターンの存在する場所と存在しない場所に起因するデバイスの絶対誤差は年々大きくなってきている。高さの異なる場所に位置する配線パターンをリソグラフィ技術を用いてパターンニングするためには、焦点深度のマージンを確保する必要がある。ところが、焦点深度と解像度は相反する関係にあるために、多層配線の微細化には限度がある。

【0003】これを解決するために、配線パターンの存在しない場所にダミーパターンを配することにより、デバイスの絶対段差を揃える方法が提案されている。その方法として、

①ゲートアレイのように配線パターンがグリッド上を通るデバイスでは、図17(a)に示すように、小面積の島状パターンからなるグリッドG上にダミーパターン（図の斜線部分）を配する方法

②図17(B)に示すように、配線パターンが存在しない場所には、配線パターン（図の白抜き部分）からある距離Sを離して全面にダミーパターン（図の斜線部分）を敷き詰める方法

の2つの方法が一般的に知られている。

【0004】

【発明が解決しようとする課題】しかしながら、①の方法の場合は、ゲートアレイのような規則的な配線パターンを対象としており、不規則な配線パターンには対応できなく、また②の方法の場合は、大面積の配線パターンが存在するために、応力集中によるパターンの爆発や、配線間容量の増大による配線間クロストークが問題となる。すなわち、図18において、 I_1, I_2, \dots, I_7 をA1配線、 C_0 を配線底面容量、 C_1 を配線側面容量とすると、 $I_1 - I_2$ の配線間容量Caは、 $Ca \approx C_1 + C_0 / 2$ となり、また $I_1 - I_7$ の配線間容量Cbは、 $Cb \approx C_0 / 2$ となり、 $I_1 - I_7$ の如く遠く離れた配線間容量も無視できなくなる。

【0005】また、①の方法と②の方法の複合も考えられるが、この場合、ダミーパターンと配線パターンの境界での演算処理やデザイン・ルール・チェックも含めてパターン自動生成時の演算が複雑になり過ぎるという問題がある。一方、上層の配線パターンと下層の配線パターンを接続するコンタクトホール（ビアホール）の加工においては、配線パターンの有無によって生ずるデバイス段差に起因して、図19(A)に示す如く層間膜の

4

絶対段差hが生ずることから、コンタクトホールを開口する際に焦点深度を変えて露光すると、レジストの膜厚が異なるために、開口径にバラツキが生ずるという問題があった。

【0006】また、層間膜の平坦化プロセスによっては、図19(B)に示すように、コンタクトホールを開口する層間膜の深さ(h_1, h_2)が場所によって異なる場合がある。この場合には、深さの異なる層間膜をRIE(Reactive Ion Etching)にて加工することになることから、浅い層間膜のコンタクトホールにとっては過剰なエッチング（オーバーエッチング）を被ることになる。このため、下層のアルミがエッチングされてアルミとレジストの化合物がレジストの側壁に付着し、レジスト除去後に王冠状に残るいわゆるクラウンが発生し、コンタクトホールを埋め込む際の障害になるという問題もある。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、配線間容量の増大による配線間のクロストークの問題を解決しつつデバイスの絶対段差を揃え、デバイス表面の平坦度の向上を可能としたダミーパターンの形成方法を提供することにある。本発明のさらに他の目的は、コンタクトホールの開口径のバラツキを抑えることができるとともに、クラウンの発生を防止できるダミーパターンの形成方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明によるダミーパターンの形成方法では、 n 層（ n は2以上の整数）の金属配線構造を有する半導体装置において、第1層（ i は整数で、 $1 \leq i < n$ ）のダミーパターンを形成するに当たり、第（ $i+1$ ）層の配線パターンデータ又はダミーパターンデータを用いて第1層のダミーパターンデータを生成し、この第1層のダミーパターンデータに基づいてダミーパターンを形成する。また、第1層の配線パターン又はダミーパターンを、第（ $i+1$ ）層の配線パターン又はダミーパターンが形成される領域よりも広い領域に形成する。

【0009】本発明による他のダミーパターンの形成方法では、第1層（ $2 \leq i < n$ ）のダミーパターンを形成するに当たり、第（ $i+1$ ）層及び第（ $i-1$ ）層の両配線パターンデータを用いて第1層のダミーパターンデータを生成し、この第1層のダミーパターンデータに基づいてダミーパターンを形成する。このダミーパターンデータを、ダミーパターンを定義すべき領域から第1層の配線パターン領域を除いたダミーパターン領域のデータと第（ $i+1$ ）層及び第（ $i-1$ ）層の両配線パターンデータとの論理積による第1のデータと、ダミーパターン領域から第1のデータで定義される領域を除いた領域のデータと第（ $i+1$ ）層の配線パターンデータとの論理積による第2のデータと、ダミーパターン領域から第

(4)

特開平6-326106

5

1及び第2の各データで定義される領域を除いた領域のデータと第(1-1)層の配線パターンデータとの論理積による第3のデータと、ダミーパターン領域から第1、第2及び第3の各データで定義される領域を除いた領域の第4のデータとの論理和をとることによって生成する。

【0010】または、このダミーパターンデータを、ダミーパターン領域のデータから、このダミーパターン領域のデータと第(i+1)層及び第(i-1)層の両配線パターンデータとの論理積による第1のデータと、ダミーパターン領域から第1のデータで定義される領域を除いた領域のデータと第(i+1)層の配線パターンデータとの論理積による第2のデータと、ダミーパターン領域から第1及び第2の各データで定義される領域を除いた領域のデータと第(i-1)層の配線パターンデータとの論理積による第3のデータとを除くことによって生成する。

【0011】本発明によるさらに他のダミーパターンの形成方法では、第1層のダミーパターンを形成するに当たり、複数の多角形の集合からなる島状パターンを2次元配列するパターンデータを用意し、この島状パターンデータと第1層の配線パターンデータとの図形データの論理演算によって第1層のダミーパターンデータを生成し、この配線パターンデータに基づいてダミーパターンを形成する。そして、多角形として正方形を用い、その一辺の長さLを配線パターンのデザインルールを満たす寸法としたとき、島状パターン間の間隔Sを、 $2L < S$ の関係を満足するように設定する。

【0012】本発明によるさらに他のダミーパターンの形成方法では、第1層($1 \leq i < n-1$)のダミーパターンを形成するに当たり、第(i+2)層から第n層までの各コンタクト領域データを用いて第i層のダミーパターンデータを生成し、この第1層のダミーパターンデータに基づいてダミーパターンを形成する。このダミーパターンデータとして、第(i+2)層から第n層までの各コンタクト領域データの論理和データで定義される領域に対してある一定量だけ拡大した領域を定義する第1のデータから、第1層の配線パターンデータで定義される領域に対してある一定量だけ拡大した領域を定義する第2のデータを差し引いて得られる第3のデータで定義される領域に対し、ある一定量だけ縮小しかつ残存した領域に対して同じ量だけ拡大した領域を定義する第4のデータを用いる。

【0013】

【作用】ある層のダミーパターンを形成する際に、その上の層の配線パターン又はダミーパターンを考慮し、これらのパターンデータを用いて図形データの演算処理を行うことによってダミーパターンデータを求め、配線パターンの形成領域を除く一定の領域において、上層の配線パターン又はダミーパターンの下にダミーパターンを

6

形成することで、デバイス表面の絶対段差を小さくする。このとき、好ましくは、上層の配線パターン又はダミーパターンが形成される領域よりも広い領域にダミーパターンを形成することにより、密配線領域と疎配線領域の境界における傾斜をなだらかにし、当該境界における局部段差を小さくする。

【0014】また、ある層のダミーパターンを形成する際に、その上の層の配線パターンのみならず、その下の層の配線パターンをも考慮し、上層及び下層の配線パターンデータを用いて図形データの演算処理を行うことによってダミーパターンデータを求める。そして、配線パターンの形成領域を除く一定の領域において、上層の配線パターンの下のみならず、他の領域にも部分的にダミーパターンを形成するか、または上層の配線パターンの下を除く他の領域にダミーパターンを形成する。これによれば、配線パターンの形成領域を除く一定の領域全体に亘ってダミーパターンを形成した場合における配線間容量の増大による配線間のクロストークの問題を及び密配線領域と疎配線領域の境界における局部段差の問題を解消できる。

【0015】さらに、ある層のダミーパターンを形成する際に、複数の多角形の集合からなる島状パターンを2次元配列するパターンデータを用意し、この島状パターンデータとある層の配線パターンデータとの図形データの論理演算を行うことによってダミーパターンデータを生成し、このパターンデータに基づいてダミーパターンを形成する。これによれば、単純な図形演算処理で、小面積のダミーパターンを配線パターンと同一の層に自動生成できる。

【0016】また、コンタクトホール加工において、ある層について2つ上の層から上の各層のコンタクト領域データを用いてダミーパターンデータを生成し、このパターンデータに基づいてダミーパターンを形成する。これによれば、コンタクトホールが存在する領域の下に位置する下層の領域には全てダミーパターンが形成されるため、同じ層におけるコンタクト開口部分間の段差をなくすることができる。その結果、コンタクト開口部分の高さが揃うため、コンタクトホールの開口径バラツキを抑えることができるとともに、コンタクトホールをエッチングする深さが均一になるため、オーバーエッチング量を少なくでき、クラウンの発生を防止できる。

【0017】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。先ず、本発明の第1実施例が適用されるn層(nは2以上の整数)の金属配線(本例では、Al配線)構造を有する半導体装置において、各層の配線パターンデータを生成する全体の流れについて、図2のフローチャートにしたがって説明する。なお、この配線パターンデータの生成は、CAD(Computer Aided Design)システムを用いて行われる。図2において、先ず、配線

(5)

特開平6-326106

7

パターンデータを生成すべき層として第 $(n-1)$ 層を設定し(ステップS1)、続いてこの第 $(n-1)$ 層のある領域の配線パターンデータの有無を判断し(ステップS2)、配線パターンデータが有る領域については、その配線パターンデータをそのままその領域の配線パターンデータとして設定する(ステップS3)。

【0018】一方、配線パターンデータが無い領域については、その上層である第 n 層の対応する領域の配線パターンデータの有無を判断し(ステップS4)、配線パターンデータがあれば、その配線パターンデータを用いてダミーパターンデータを生成し(ステップS5)、ステップS3に移行してこのダミーパターンデータをその領域の配線パターンデータとして設定する。ステップS5でのダミーパターンデータの具体的な生成方法については後述する。このようにして、第 $(n-1)$ 層について、各領域毎に配線パターンデータの生成が行われる。第 $(n-1)$ 層の配線パターンデータを設定したら、ステップS6を経てステップS1に戻り、次に第 $(n-2)$ 層について、第 $(n-1)$ 層の場合と同様の処理によって各領域の配線パターンデータを設定し、以降、第1層まで同様の処理を繰り返す。

【0019】次に、ステップS5におけるダミーパターンデータを実際に生成する方法につき、図1の平面概念図に基づいて説明する。今、ダミーパターンを定義すべき領域のデータをChip、第1層A1配線パターンである信号線及び電源線の各配線パターンの占める領域のデータを I_{w1} 、最終的に求めるべき第1層のダミーパターンのデータ(以下、ダミーパターンデータと称する)を I_{d1} とする。また、ダミーパターンを定義すべき領域から配線パターンの占める領域を除いた領域のデータ(Chip- I_{w1})に対してデータディクリメントをかけることによって与えられる領域(以下、ダミーパターン領域と称する)のデータを(Chip- I_{w1}) $_D$ と定義する。

【0020】ここで、データディクリメントとは、ある領域に対してその周囲に配線パターンの最小ルール・ピッチ以上の一定値だけ領域を縮小する処理をデータ上で行うことを言う。このデータディクリメントは、信号線及び電源線の各配線パターンの占める領域(I_{w1})とダミーパターン(I_{d1})の間隔 S を与えており、通常、デバイス表面の平坦化が可能な最大値をとる。本実施例では、この一定値として例えば $2\mu\text{m}$ を設定する。

【0021】そして、このダミーパターン領域のデータ(Chip- I_{w1}) $_D$ と、第 $(i+1)$ 層の配線パターンデータ $I_{w(i+1)}$ 又はダミーパターンデータ $I_{d(i+1)}$ との論理積をとる次式により、第1層のダミーパターンデータ I_{d1} を求める。

【数1】

$$I_{d1} = (\text{Chip} - I_{w1})_D \times (I_{w(i+1)} + I_{d(i+1)})$$

この論理演算式において、「 \times 」は論理積を、「 $+$ 」は論理和をそれぞれ表わすものとし、以下に記す論理演算

8

式においても同様とする。そして、このダミーパターンデータ I_{d1} に基づいて第1層のダミーパターンを形成する。

【0022】このようにして、ある層のダミーパターンデータを生成する際に、その上層の配線パターンデータ又はダミーパターンデータを用いて論理演算処理を行うことにより、簡単な図形データの論理演算によってダミーパターンデータを自動的に生成することができる。図3は、上記第1実施例によって生成されたダミーパターンデータ I_{d1} に基づいて形成されたダミーパターンを有する例えば4層A1配線構造のデバイスの断面図である。このデバイスの製造プロセスについて、以下に説明する。P型半導体基板1の表面に素子分離領域2をLOCOS法等によって形成し、さらにゲート酸化膜3を形成した後、ゲート電極4をタングステンポリサイド等によって形成する。

【0023】次に、素子分離領域2及びゲート電極4をマスクにしてイオン注入を行うことにより、LDD(Lightly Doped Drain)構造を構築する $10^{17} \sim 10^{19} \text{ cm}^{-3}$ の濃度を持つ N^- 拡散層5を形成し、さらにゲート電極4の側壁にLDDスペーサ6を形成した後、素子分離領域2、ゲート電極4及びLDDスペーサ6をマスクにして砒素(As^+)、燐(P^+)のイオン注入を行い、適当な熱処理を施して 10^{20} cm^{-3} 以上の濃度を持つ N^+ 拡散層7を形成する。次いで、 SiO_2 (NSG)、PSG、BPSG、SOG(Spin on Glass)等の絶縁膜を単独あるいは組み合わせてCVD法で堆積し、場合によってはこれらの膜をエッチバックしたり、BPSG膜を $800^\circ\text{C} \sim 900^\circ\text{C}$ の高温熱処理を施してフローすることにより、平坦化された絶縁膜8を形成する。

【0024】この絶縁膜8中に、 N^+ 拡散層7及びゲート電極4上に達するコンタクトホール9(ゲート電極4側については図示せず)を開口する。コンタクトホール9には、タングステンプラグ10を埋め込む。なお、タングステンプラグ10の代わりに、バリアメタル TiN / Ti をスパッタした後、ウエハを 500°C 以上の高温に保った状態でAl(Si 含有)を数百nmスパッタし、Alを表面流動させて埋め込んでも良い(高温Alスパッタ法)。タングステンプラグ10を形成した後、第1層目の配線パターン(1A1配線パターン)11と第1層目のダミーパターン(1A1ダミーパターン)12を、Ti、AlSiCu、TiON、TiN等の複合膜で形成する。このとき、1A1ダミーパターン12のパターンデータは、数1の論理演算式に $i=1$ を代入することによって得られる。

【0025】次に、プラズマTEOS- SiO_2 、 O_3 -TEOS- SiO_2 等を数百nm程度堆積した後、SOGをコーティング、エッチバックして1A1段差部を埋め込み、しかる後再びプラズマTEOS- SiO_2 、 O_3 -TEOS- SiO_2 を堆積して層間絶縁膜13を形成

(6)

特開平6-326106

9

10

する。次いで、この層間絶縁膜13中に、1A1配線パターン11に達するコンタクトホール14を開孔する。そして、このコンタクトホール14をタングステンプラグ15で埋め込む。なお、タングステンプラグ15に代えて高温A1で埋め込んでも良い。

【0026】続いて、第2層目の配線パターン(2A1配線パターン)16及び第2層目のダミーパターン(2A1ダミーパターン)17を、Ti, AlSiCu, TiON, TiN等の複合膜で形成する。このとき、2A1のダミーパターン17のパターンデータは、数1の論理演算式に $i=2$ を代入することによって得られる。以下3層、4層と順次、層間絶縁膜、コンタクト部、3A1、4A1配線パターン19、20及び3A1ダミーパターン21が、上述したプロセスで形成されていくことになる。このとき、各層のダミーパターンのパターンデータは、数1の論理演算式で与えられる。

【0027】上述したように、各層のダミーパターンを形成する際に、数1の論理演算式に基づいて各層のダミーパターンデータ I_{D1} を生成し、このパターンデータ I_{D1} に基づいてダミーパターンを形成するようにしたことにより、図3から明らかなように、3A1配線パターン19の下には1A1、2A1配線パターン11、16及び1A1、2A1ダミーパターン12、17が配され、デバイス表面における3A1配線パターン19、2A1配線パターン16の高さが揃い、デバイス表面の絶対段差が小さくなるため、デバイス表面の平坦度を向上できる。これにより、各層のコンタクト部、A1配線形成のためのリソグラフィ工程のフォーカスマージンを向上できるため、微細配線の形成が可能となる。

【0028】ところで、上記第1実施例の場合は、デバイス表面の各領域において、第 m 層($2 \leq m \leq n$)のA1配線パターンが配された領域内に、第1層から第($m-1$)層までのA1配線パターン又はA1ダミーパターンを配する構成であるため、図3から明らかなように、密配線領域と疎配線領域の境界に大きな局所段差が生じることがある。そこで、第1実施例の変形例として、第1層の配線パターン又はダミーパターンを、第($i+1$)層の配線パターン又はダミーパターンが配される領域よりも広い領域に配するようにする。例えば、図4に示すように、2A1配線パターン16及び2A1ダミーパターン17を、1A1配線パターン11及び1A1ダミーパターン12よりもある一定距離 α だけ内側に配するようにする。

【0029】ここで、一定距離 α は、A1配線のパターンニング(リソグラフィ及びエッチング)に対して下層の*

$$I_{D13} = (\text{Chip} - I_{W1} - I_{D11}' - I_{D12}')_0 \times I_{W(i-1)}$$

次いで、次式で与えられるデータ I_{D13}' を求める。 ※ ※ 【数7】

$$I_{D13}' = (\text{Chip} - I_{W1} - I_{D11}' - I_{D12}') \times I_{W(i-1)}$$

【0034】次に、ダミーパターン領域からダミーパターンデータ I_{D11} 、 I_{D12} 、 I_{D13} で定義される各領域

*層間絶縁膜の段差が影響を与えないように、数十 μm 程度の値に設定される。この変形例の場合のように、A1配線パターン及びA1ダミーパターンを、上層にいくに連れて下層のA1配線パターン及びA1ダミーパターンよりも内側に配するようにすることにより、図4から明らかなように、密配線領域と疎配線領域の境界における傾斜がなだらかになるため、当該境界における局所段差を小さく抑えることができる。

【0030】次に、本発明の第2実施例について図5の平面概念図に基づいて説明する。ここで、第1実施例の場合と同様に、ダミーパターンを定義すべき領域のデータをChip、第 i 層A1配線パターンである信号線及び電源線の各配線パターンの占める領域のデータを I_{W1} 、最終的に求めるべき第1層のダミーパターンデータを I_{D1} とする。また、ダミーパターンを定義すべき領域から配線パターンの占める領域を除いた領域のデータ(Chip- I_{W1})に対してデータディクリメントをかけることによって得られるダミーパターン領域のデータを(Chip- I_{W1}) $_0$ と定義する。

【0031】まず、ダミーパターン領域のデータ(Chip- I_{W1}) $_0$ と、第($i+1$)層、第($i-1$)層の各配線パターンの占める領域のデータ $I_{W(i+1)}$ 、 $I_{W(i-1)}$ との論理積をとる次式により、第1のダミーパターンデータ I_{D11} を求める。

【数2】

$$I_{D11} = (\text{Chip} - I_{W1})_0 \times I_{W(i+1)} \times I_{W(i-1)}$$

次いで、次式で与えられるデータ I_{D11}' を求める。

【数3】

$$I_{D11}' = (\text{Chip} - I_{W1}) \times I_{W(i+1)} \times I_{W(i-1)}$$

【0032】次に、ダミーパターン領域からダミーパターンデータ I_{D11} で定義される領域を除いた領域のデータと、第($i+1$)層の配線パターンの占める領域のデータ $I_{W(i+1)}$ との論理積をとる次式により、第2のダミーパターンデータ I_{D12} を求める。

【数4】

$$I_{D12} = (\text{Chip} - I_{W1} - I_{D11}')_0 \times I_{W(i+1)}$$

次いで、次式で与えられるデータ I_{D12}' を求める。

【数5】

$$I_{D12}' = (\text{Chip} - I_{W1} - I_{D11}') \times I_{W(i+1)}$$

【0033】次に、ダミーパターン領域からダミーパターンデータ I_{D11} 、 I_{D12} で定義される各領域を除いた領域のデータと、第($i-1$)層の配線パターンの占める領域のデータ $I_{W(i-1)}$ との論理積をとる次式により、第3のダミーパターンデータ I_{D13} を求める。

【数6】

$$I_{D13} = (\text{Chip} - I_{W1} - I_{D11}' - I_{D12}')_0 \times I_{W(i-1)}$$

※ ※ 【数7】

$$I_{D13}' = (\text{Chip} - I_{W1} - I_{D11}' - I_{D12}') \times I_{W(i-1)}$$

を除いた領域の第4のダミーパターンデータ I_{D14} を次式から求める。

(7)

特開平6-326106

11

12

【数8】

$$I_{D14} = (\text{Chip} - I_{M1} - I_{D11} - I_{D12} - I_{D13})_0$$

そして、ダミーパターンデータ I_{D11} , I_{D12} , I_{D13} ; I_{D14} の論理和をとる次式により、最終的に求めるべき第1層のダミーパターンデータ I_{D1} を得る。

【数9】 $I_{D1} = I_{D11} + I_{D12} + I_{D13} + I_{D14}$

この演算式において、「+」は論理和を表すものとする。

【0035】 上述したように、この第2実施例によるデータ生成方法によれば、上層及び下層の配線パターンデータ $I_{M(i+1)}$, $I_{M(i-1)}$ を用いて簡単な図形演算によってダミーパターンデータ I_{D1} を生成することができる。図6は、このパターンデータ I_{D1} に基づいて形成されたダミーパターンを有する例えば4層A1配線構造のデバイスの断面図である。このデバイスの製造プロセスについて、以下に説明する。P型半導体基板1の表面に素子分離領域2をLOCOS法等によって形成し、さらにゲート酸化膜3を形成した後、ゲート電極4をタングステンポリサイド等によって形成する。

【0036】 次に、素子分離領域2及びゲート電極4をマスクにしてイオン注入を行うことにより、LDD構造を形成する $10^{17} \sim 10^{19} \text{ cm}^{-3}$ の濃度を持つ N^+ 拡散層5を形成し、さらにLDDスペーサ6をゲート電極4の側壁に形成した後、素子分離領域2、ゲート電極4及びLDDスペーサ6をマスクにして As^+ , P^+ のイオン注入を行い、適当な熱処理を施して 10^{20} cm^{-3} 以上の濃度を持つ N^+ 拡散層7を形成する。次いで、 SiO_2 (NSG), PSG, BPSG, SOG等の絶縁膜を単独あるいは組み合わせてCVD法で堆積し、場合によってはこれらの膜をエッチバックしたり、BPSG膜を $800^\circ\text{C} \sim 900^\circ\text{C}$ の高温熱処理を施してフローすることにより、平坦化された絶縁膜8を形成する。

【0037】 この絶縁膜8中に、 N^+ 拡散層7及びゲート電極4上に達するコンタクトホール9 (ゲート電極4側については図示せず) を開口する。コンタクトホール9には、タングステンプラグ10を埋め込む。タングステンプラグ10の代わりに、バリアメタル TIN/Ti をスパッタした後、ウエハを 500°C 以上の高温に保った状態でA1 (Si含有) を数百nmスパッタし、A1を表面流動させて埋め込んでも良い。タングステンプラグ10を形成した後、1A1配線11及び1A1ダミーパターン12を、 Ti , AlSiCu , TION , TiN 等の複合膜で形成する。このとき、1A1ダミーパターン12のデータは、数2～数9の論理演算式に $l=1$ を代入することによって得られる。

【0038】 次に、プラズマTEOS SiO_2 , O_3 TEOS SiO_2 等を数百nm程度堆積した後、SOGをコーティング、エッチバックして1A1段差部を埋め込み、しかる後再びプラズマTEOS SiO_2 , O_3 TEOS SiO_2 を堆積して層間絶縁膜13を形成

する。続いて、2A1配線16及び2A1ダミーパターン17を、 Ti , AlSiCu , TION , TiN 等の複合膜で形成する。このとき、2A1のダミーパターン17のデータは、数2～数9の論理演算式に $l=2$ を代入することによって得られる。以下3層、4層と順次、層間絶縁膜、コンタクト部、3A1, 4A1配線パターン19, 20及び3A1ダミーパターン21が、上述したプロセスで形成されていくことになる。このとき、各層のA1ダミーパターンの配線パターンデータは、数2～数9の演算式で与えられる。

【0039】 すなわち、上述した第2実施例においては、上層及び下層の各配線パターンデータからダミーパターンデータを定義し、このダミーパターンデータを用いてダミーパターン領域 ($\text{Chip} - I_{M1}$)₀ を分割し、分割された領域及び配線パターン下の領域 (図5の斜線領域) にダミーパターンを形成するようにしている。これにより、上層の配線パターン下のみならず、それ以外のダミーパターン領域にも部分的にダミーパターンが配されるので、密配線領域と疎配線領域の境界に大きな局所段差を生ずることなく、デバイス表面の絶対段差を小さくすることができるとともに、図7から明らかな如くA1配線間容量を低減できる。

【0040】 図7において、 I_1 , I_2 , I_3 をA1配線、 C_0 を配線上下面容量、 C_1 を配線側面容量とすると、 $I_1 - I_2$ 間容量Caは、

【数10】

$$Ca = C_1 + (2C_0 C_1) / (2C_1 + C_0)$$

となり、また $I_2 - I_3$ 間容量Cbは、

【数11】

$$Cb = C_1 / 2 + (C_0 C_1) / (C_1 + C_0)$$

となる。すなわち、 $I_2 - I_3$ 間容量Cbは、 $I_1 - I_2$ 間容量Caと同レベルであるが、ダミーパターンをダミーパターン領域全面に敷き詰めた従来例に比べると小さく抑えられる。また、配線パターンとダミーパターンのスペースを平坦度が許す限り広く設定すれば、 $I_2 - I_3$ 間容量Cbを無視できるレベルまで小さくすることも可能である。このように、A1配線間容量を小さくすることにより、この容量に起因する配線間のクロストークを低減できる。

【0041】 次に、上述した第2実施例の変形例について、図8の平面図に基づいて説明する。この変形例では、次式に示すように、ダミーパターン領域データ ($\text{Chip} - I_{M1}$)₀ から、数2, 数4及び数6の論理演算式で求められる各データ I_{D11} , I_{D12} , I_{D13} を差し引くことによってダミーパターンデータ I_{D1} を求める。

【数12】

$$I_{M1} = (\text{Chip} - I_{M1})_0 - I_{D11} - I_{D12} - I_{D13}$$

このパターンデータ I_{D1} に基づいてダミーパターンが形

13

成されたデバイスの断面図を図9に示す。なお、このデバイスの製造プロセスは、基本的に図6のそれと違いはないので、その説明については省略する。

【0042】この変形例では、第2の実施例の場合には、上層及び下層の各配線パターンデータから定義したダミーパターンデータを用いてダミーパターン領域（Chip-I_{u1}）を分割したのに対し、上層及び下層の各配線パターンデータから定義したダミーパターンデータを用いてダミーパターン領域（Chip-I_{u1}）にスリットを入れ、残りのダミーパターン領域（図8の斜線領域）にダミーパターンを形成するようにしている。これによれば、デバイス表面の平坦化及びA1配線間容量の低減の点で第2実施例の場合と同程度の効果を得ることができる。さらには、ダミーパターン領域（Chip-I_{u1}）にスリットを入れるだけであるため、第2実施例に比して演算式が簡潔となり、演算に用いるデータ量を少なくできる。

【0043】次に、グリッド（Grid）方式に適用した本発明の第3実施例について説明する。多層A1配線構造を有するデバイスにおいて、一例として、図10に示す如き配線パターンを有する第1層に対し、ダミーパターンを形成する場合について説明する。まず、ダミーパターンデータとして複数の多角形の集合からなる島状パターン、本実施例では、図11に示すように、（3×3）個の正方形の集合からなる正方形の島状パターンを2次元配列するパターンデータを用意する。ただし、図11において、島状パターンを構成する最小単位の寸法Lは、配線パターンのデザインルールを満たす必要がある。また、島状パターン間の間隔Sは、少なくとも2L<Sの関係を満足するように設定される。

【0044】今、第1層の信号線（電源線を含むものとする）の配線パターンの占める領域のデータをI_{u1}、島状パターンからなるダミーパターンデータをI_{dp}、最終的に求めるべき第1層のダミーパターンデータをI_{o1}とする。まず、配線パターンデータI_{u1}に対してデータインクリメントをかけることによってデータ（I_{u1}+α）を得る。ここで、データインクリメントとは、ある領域に対してその周囲に配線パターンの最小ルール・ピッチ以上の一定値αだけ領域を拡大する処理をデータ上で行うことを言う。

【0045】次に、データインクリメントによって得られたデータ（I_{u1}+α）とダミーパターンデータI_{dp}との論理積をとり、この論理積データをダミーパターンデータI_{dp}から差し引くことによって第1層のダミーパターンデータI_{o1}を得る。その論理演算式を次式に示す。

$$【数13】 I_{o1} = I_{dp} - \{ (I_{u1} + \alpha) \times I_{dp} \}$$

そして、このダミーパターンデータI_{o1}と配線パターンデータI_{u1}との論理和によるデータ（I_{o1}+I_{u1}）が第1層の最終的な配線パターンデータとなり、この配線パターンデータに基づいて第1層の配線パターン及びダミ

(8)

特開平6-326106

14

ーパターンの各パターンの形成が行われる。その配線パターンを図12に示す。

【0046】このように、第1層のダミーパターンデータI_{o1}を生成するに当り、複数の多角形の集合からなる島状パターンを2次元配列するパターンデータI_{dp}を用意し、この島状パターンデータI_{dp}と第1層の配線パターンデータI_{u1}とを演算処理するようにしたことにより、単純な図形データの論理演算によって第1層のダミーパターンデータI_{o1}を生成できる。さらに、本実施例においては、従来のように小さな島状パターンを2次元配列するのではなく、複数のパターンの集合からなるある程度大きな島状パターンを2次元配列するようにしたので、従来のグリッド方式に比べて演算に用いるデータ量を少なくできるとともに、演算時間の短縮化を図れる。

【0047】また、第1層の配線パターンデータI_{u1}に対するデータインクリメント量αを配線パターンのデザインルールを満たすようにすれば、このダミーパターンデータI_{o1}に基づいて形成されるダミーパターンのデザインルールをチェックする必要がある。さらに、ダミーパターンは最後にマージ（足し合わせてひとつの図形データにすること）すれば、EB変換時の処理データ量は多くならない。

【0048】次に、コンタクトホール加工の際に適用される本発明の第4実施例に係るダミーパターンデータの生成方法の手順について、図13のフローチャートに示して説明する。まず、第1番目の配線層のダミーパターンデータを生成するに当り、第（i+2）層から上の層の各コンタクト領域（コンタクトホールが形成される領域）を定義するデータ（以下、コンタクト領域データと称する）の論理和をとる（ステップS11）。この論理和データ（第1のデータ）をD_{i1}とする。ここで、第（i+1）層のコンタクト領域データ、即ち第1層のすぐ上の層のコンタクト領域データについては、その下に元来配線パターンが存在するため考慮する必要はない。

【0049】続いて、コンタクト領域の大きさに余裕を持たせるために、論理和データD_{i1}に対してデータインクリメントをかけることによってインクリメントデータ（第2のデータ）D_{i2}を得る（ステップS12）。このときのインクリメント量については、ステッパーの合わせ精度以上に設定する必要がある。次に、形成するダミーパターンによって本来の配線パターンが短絡しないように、インクリメントデータD_{i2}から配線パターンデータM_iのインクリメントデータM_{i1}を差し引くことによって差データ（第3のデータ）D_{i3}を求める（ステップS13）。

【0050】なお、配線パターンデータM_iのインクリメント量については、配線パターンの最小加工寸法S_{min}以上若しくは寄生容量が問題にならない最小配線パ

(9)

特開平6-326106

15

ターン間隔 d_{11} 。以上でかつ平坦化が可能な最大配線パターン間ギャップ Gap_{11} 以下に設定する必要がある。次に、差データ D_{13} に対してデータディクリメントをかけ、さらに残存したデータに対して同じ量だけデータインクリメントをかけることによって最終的なダミーパターンデータ D_1 を求める(ステップS14)。このときのインクリメント量については、ダミーパターンの最小加工寸法の $1/2$ 以上に設定する必要がある。

【0051】ステップS14の処理により、求められたダミーパターンデータ D_1 のうち、最小加工寸法以下のデータは消滅する。このステップS14の処理は、配線パターンの平坦化に与えるワーストケースを考慮しての処理である。配線パターンの平坦化に与えるワーストケースは、以下のようなケースがある。すなわち、図14において、a、cがステップS13におけるインクリメント量 ΔMa 、bがステップS14におけるインクリメント量 ΔMb のとき、ダミーパターンデータは消失し、配線パターン間に $(2a+b)$ のギャップができることになる。

【0052】0.35 μm 世代において、一例として、配線パターンの最小加工寸法 S_{11} を0.5 μm 、最大埋込みギャップ Gap_{11} を5 μm 、寄生容量が問題とならない配線パターン間隔の最小値 d_{11} を1 μm とすると、具体的には、ステップS13におけるインクリメント量 ΔMa は、

【数14】 $5\mu m \leq \Delta Ma \leq 1\mu m$

となり、またステップS14におけるインクリメント量 ΔMb は、

【数15】 $1\mu m \leq 2 \times \Delta Mb \leq 5\mu m - 2 \times \Delta Ma$

より、

【数16】 $0.5\mu m \leq \Delta Mb \leq 1.5\mu m$

となる。

【0053】図15は、図13の手順によって生成されたダミーパターンデータ D_1 に基づいて生成されたダミーパターンを有する例えば4層Al配線構造のデバイスの断面図である。ここで、第4層～第1層の各Al配線パターンを4Al～1Al、4Alの配線パターンと3Alの配線パターンとを接続する2つのコンタクトホールを4con₁、4con₂、3Alの配線パターンと2Alの配線パターンとを接続するコンタクトホールを3con、2Alの配線パターンと1Alの配線パターンとを接続するコンタクトホールを2conとする。

【0054】図15において、第1層と第2層における図の左側にはAl配線パターンが存在しないが、上述した生成手順にしたがって、第1層には3つ上の4conのコンタクト領域データを用いて生成されるパターンデータに基づいてダミーパターン21が形成され、第2層には2つ上の4conのコンタクト領域データを用いて生成されるパターンデータに基づいてダミーパターン22が形成される。第1層のダミーパターンの形成に関

16

し、図16を参照しつつさらに詳述する。今、第1層には1Al配線パターンが図16(A)に示すようにパターンニングされ、第3層、第4層には3Al、4Al配線パターンが図16(B)に示すようにパターンニングされ、さらに4con₁、4con₂の2のコンタクトホールが形成されるものとする。

【0055】この場合、4con₂のコンタクトホールの下には1Al配線パターンが存在することから、4con₁のコンタクトホールの下にのみダミーパターンが形成されることになる。そのパターンデータの生成に際しては、図16(C)に示すように、4con₁のコンタクト領域に対して一点鎖線で示すインクリメント領域が設定される。そして、このインクリメント領域に基づいて、図16(D)に示すように、1Alダミーパターンが形成されることになる。

【0056】このように、コンタクトホールの加工において、ある層について2つ上の層から上の各層のコンタクト領域データを用いてダミーパターンデータを生成し、このパターンデータに基づいてダミーパターンを形成することにより、コンタクト開口部分の高さ(本例では、3Alの高さ)が一致し、さらに3Al配線パターン上の層間膜の膜厚も同一となるため、4con₁、4con₂のコンタクトホールの開口径のバラツキを抑えることができる。また、コンタクトホールをエッチングする深さが均一になることから、オーバーエッチング量を少なくできるため、クラウンの発生も防止できる。

【0057】

【発明の効果】以上説明したように、本発明によれば、ある層のダミーパターンを形成する際に、その上の層の配線パターン又はダミーパターンを考慮し、これらのパターンデータを用いて図形データの演算処理を行ってダミーパターンデータを生成し、このダミーパターンデータに基づいてダミーパターンを形成するようにしたことにより、上層の配線パターン又はダミーパターンの下にダミーパターンが配されることになるので、デバイス表面の絶対段差を小さくでき、デバイス表面の平坦度を向上できることになる。このとき、上層の配線パターン又はダミーパターンが形成される領域よりも広い領域にダミーパターンを形成することにより、密配線領域と疎配線領域の境界における傾斜をなだらかにできるので、当該境界における局部段差をも小さく抑えることができることになる。

【0058】また、ある層のダミーパターンを形成する際に、その上の層の配線パターンのみならず、その下の層の配線パターンをも考慮し、これらのパターンデータを用いて図形演算によってダミーパターンデータを生成し、このダミーパターンデータに基づいてダミーパターンを形成するようにしたことにより、配線パターンの形成領域を除く一定の領域において、上層の配線パターンの下のみならず、他の領域にも部分的にダミーパターン

(10)

特開平6-326106

17

が配されるか、または上層の配線パターンを下を除く他の領域にダミーパターンが配されることになる。これにより、デバイス表面の絶対段差を小さくでき、デバイス表面の平坦度を向上できるとともに、配線パターンの形成領域を除く一定の領域全体に亘ってダミーパターンを形成した場合における配線間容量の増大による配線間のクロストークの問題及び密配線領域と疎配線領域の境界における局部段差の問題を解消できることになる。

【0059】さらに、ある層のダミーパターンを形成する際に、複数の多角形の集合からなる島状パターンを2次元配列するパターンデータを用意し、この島状パターンデータとある層の配線パターンデータとの図形データの論理演算を行うことによってダミーパターンデータを生成し、このパターンデータに基づいてダミーパターンを形成するようにしたことにより、単純な図形演算処理で、小面積のダミーパターンを配線パターンと同一の層に自動生成できるとともに、デバイス表面の絶対段差を緩和し、配線不良及び配線間のクロストークを抑えることが可能となる。

【0060】このように、本発明によるダミーパターンの形成方法を適用することにより、デバイス表面の絶対段差を緩和できることから、デバイスとしては、各層のコンタクト部やA1配線形成のためのリソグラフィ工程のフォーカスマージンを向上できるため、微細配線の形成が可能となり、多層A1配線の信頼性を向上できることになる。

【0061】また、コンタクトホール加工において、ある層について2つ上の層から上の各層のコンタクト領域データを用いてダミーパターンデータを生成し、このパターンデータに基づいてダミーパターンを形成するようにしたことにより、コンタクトホールが存在する領域の下に位置する下層の領域には全てダミーパターンが形成されるため、コンタクト領域の段差をなくすることができる。その結果、コンタクト開口部分の高さが揃うため、コンタクトホールの開口径のバラツキを抑えることができるとともに、コンタクトホールをエッチングする深さが均一になるため、オーバーエッチング量を少なくでき、クラウンの発生を防止できることになる。

【図面の簡単な説明】

【図1】本発明による第1実施例の平面概念図である。

【図2】本発明による第1実施例における配線パターンデータ生成の手順を示すフローチャートである。

18

【図3】本発明の第1実施例に係るデバイスの断面図である。

【図4】本発明の第1実施例の変形例に係るデバイスの断面図である。

【図5】本発明の第2実施例の平面概念図である。

【図6】本発明の第2実施例に係るデバイスの断面図である。

【図7】本発明の第2実施例におけるA1配線間容量の概念図である。

【図8】本発明の第2実施例の変形例の平面概念図である。

【図9】本発明の第2実施例の変形例に係るデバイスの断面図である。

【図10】本発明の第3実施例における配線パターン図である。

【図11】本発明の第3実施例におけるダミーパターン図である。

【図12】本発明の第3実施例における最終配線パターン図である。

【図13】本発明の第4実施例におけるダミーパターンデータの生成方法の手順を示すフローチャートである。

【図14】配線パターンの平坦化に与えるワースト・ケースについての説明図である。

【図15】本発明の第4実施例に係るデバイスの断面図である。

【図16】ダミーパターンを形成する過程における各層の平面パターン図である。

【図17】従来例を示す平面概念図である。

【図18】従来例の問題点を説明するためのA1配線間容量の概念図である。

【図19】コンタクトホール加工についての従来例に係るデバイスの断面図である。

【符号の説明】

1 P型半導体基板

4 ゲート電極

11 1A1配線パターン

12 1A1ダミーパターン

13, 18 層間絶縁膜

16 2A1配線パターン

17 2A1ダミーパターン

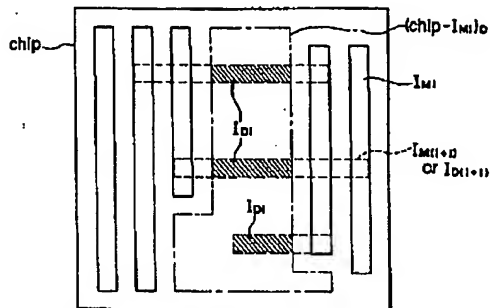
19 3A1配線パターン

21 3A1ダミーパターン

(11)

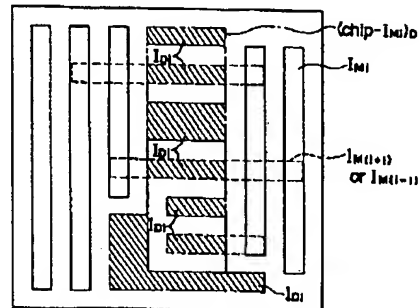
特開平6-326106

【図1】



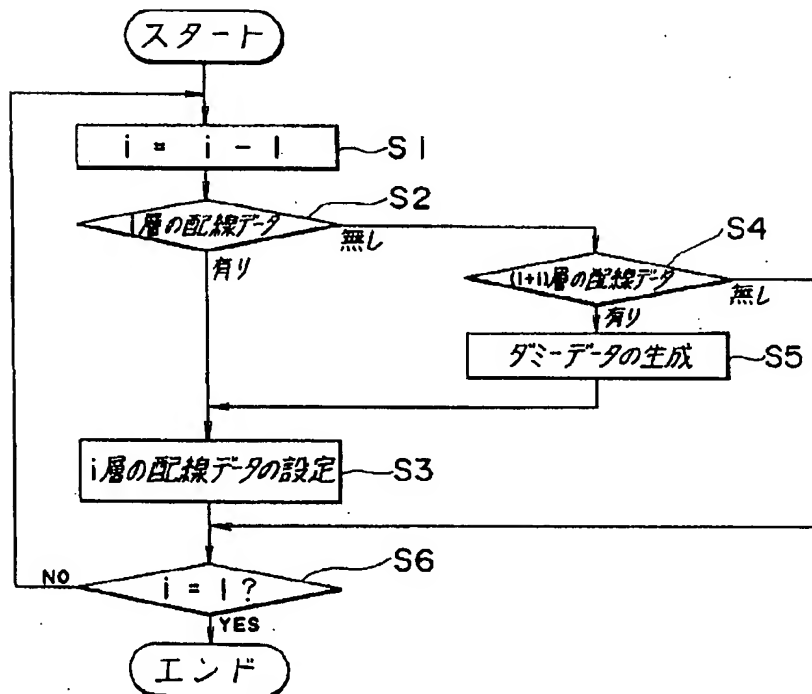
第1実施例の平面概念図

【図5】



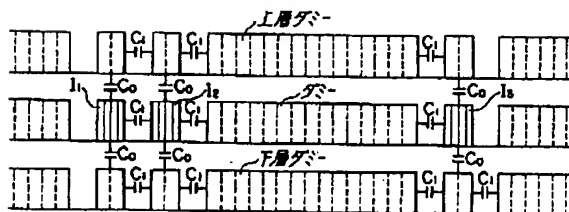
第2実施例の平面概念図

【図2】



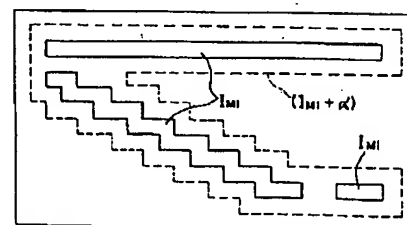
配線データ生成のフローチャート

【図7】



配線間容量の概念図

【図10】

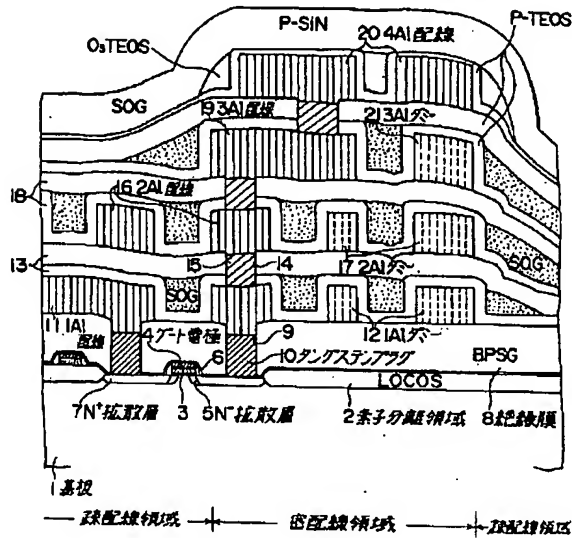


第3実施例における配線パターン図

(12)

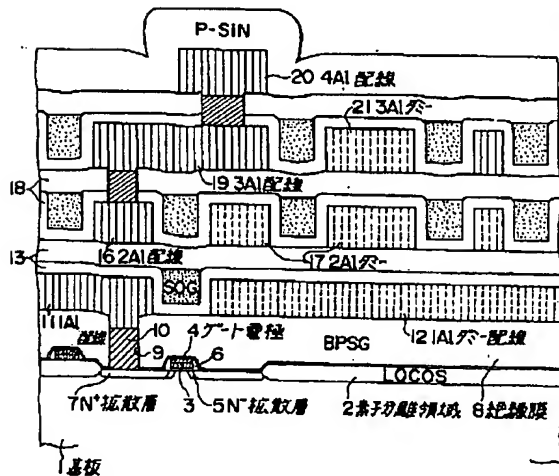
特開平6-326106

【図3】



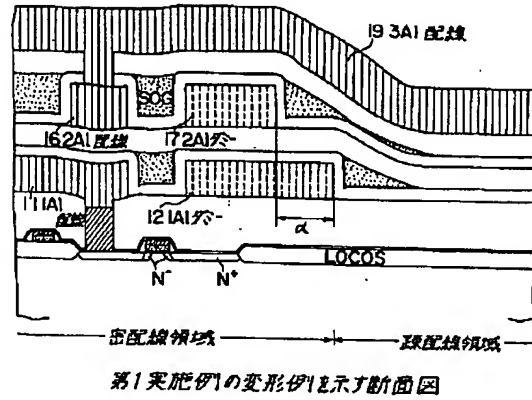
第1実施例に係るデバイスの断面図

【図6】



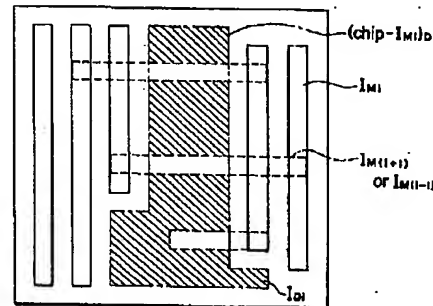
第2実施例に係るデバイスの断面図

【図4】



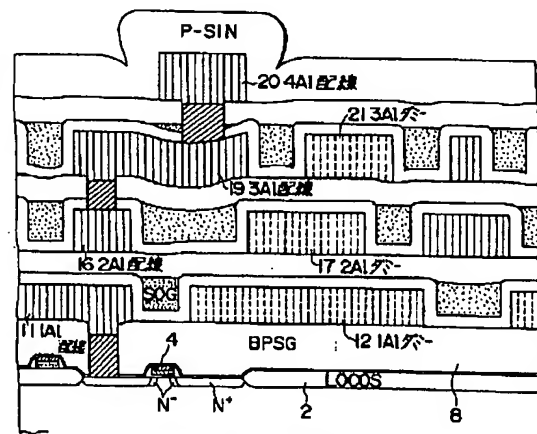
第1実施例の変形例を示す断面図

【図8】



第2実施例の変形例の平面概念図

【図9】

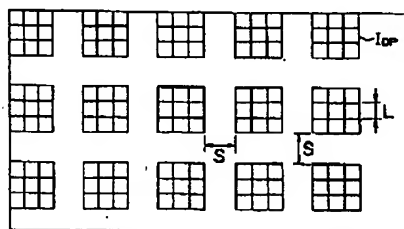


第2実施例の変形例を示す断面図

(13)

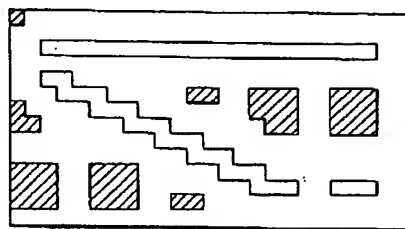
特開平6-326106

【図11】



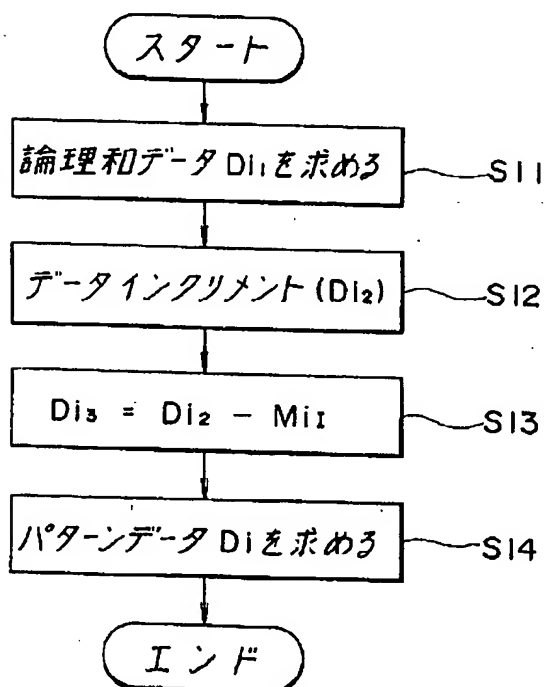
第3実施例におけるダミーパターン図

【図12】



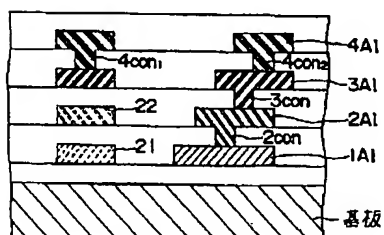
第3実施例における最終配線パターン図

【図13】



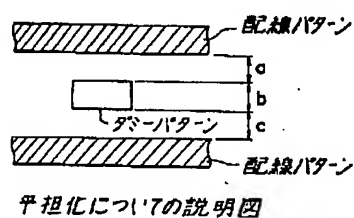
パターンデータ生成のフローチャート

【図15】

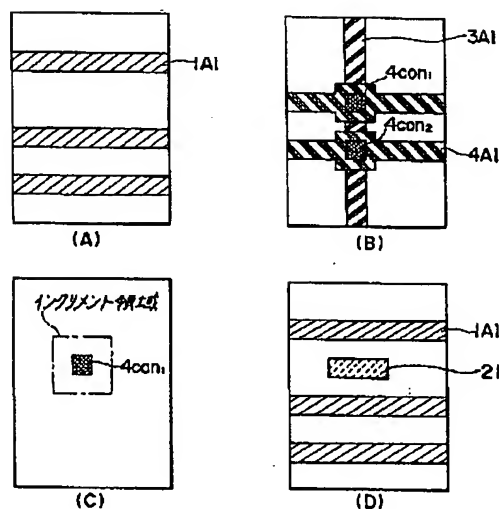


第4実施例に係るデバイスの断面図

【図14】



【図16】

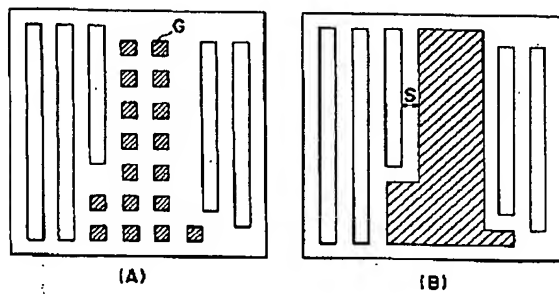


各層の平面パターン図

(14)

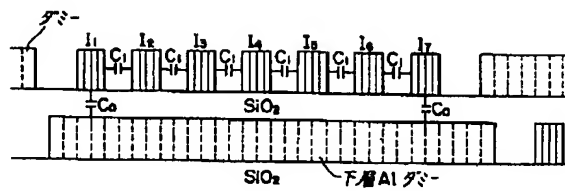
特開平6-326106

【図17】



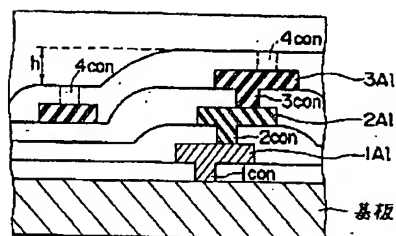
従来例の平面概念図

【図18】

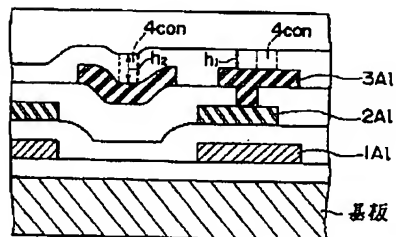


従来例におけるAl配線間容量の概念図

【図19】



(A) 層間膜の高さが異なるケース



(B) 層間膜の厚さが異なるケース

従来例に係るデバイスの断面図